



MLR PATTERN FORMING METHOD

Patent number: JP7074087
Publication date: 1995-03-17
Inventor: LEE JUN SEOK
Applicant: GOLD STAR ELECTRON CO LTD
Classification:
- International: H01L21/027; G03F7/26
- european:
Application number: JP19930306131 19931112
Priority number(s):

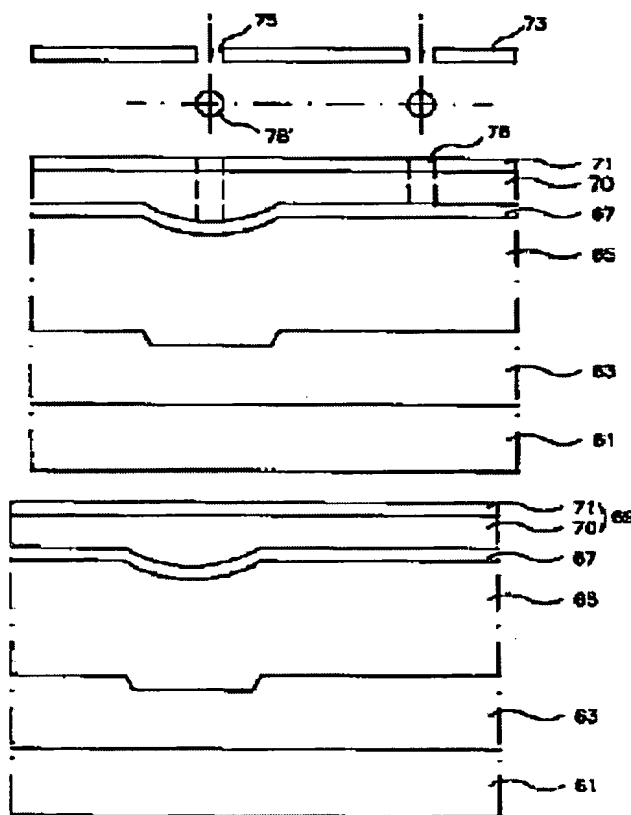
Also published as:

 US5376227 (A1)
 DE4338778 (A1)

Abstract of JP7074087

PURPOSE: To obtain an accurate pattern of an MLR, by etching an exposed part of a second inorganic resist film, etching a first inorganic resist film by using an unexposed part as a mask, and etching in order an intermediate layer and a lower layer resist film by using an upper layer resist film pattern as a mask.

CONSTITUTION: A lower layer resist film 65 is vapor deposited on a semiconductor substrate 61 wherein a semiconductor element 63 having step-difference is formed. On the film 65, an intermediate layer 67 is formed, on which an upper layer resist film 69 composed of a first inorganic resist film 70 and a second resist film 71 is vapor deposited. Exposure is performed by using a pattern mask 73, and the exposed part 76 of the second inorganic upper resist film 71 is etched. By using the second inorganic upper resist film 71 of the unexposed part as a mask, the exposed part of the first inorganic upper layer resist film 70 is etched. By using the obtained pattern of the upper layer resist film 69 as a mask, the intermediate layer 67 and the lower layer resist film 65 are etched, and an MLR pattern 77 is obtained.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-74087

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/027				
G 0 3 F 7/26	5 1 1	7124-2H 7352-4M	H 0 1 L 21/ 30	5 7 3

審査請求 未請求 請求項の数18 F D (全 7 頁)

(21) 出願番号	特願平5-306131	(71) 出願人	591044131 ゴールド スター エレクトロン カンパ ニー リミテッド GOLD STAR ELECTRON COMPANY LIMITED 大韓民国 チュングチェオンプグード チ ェオンジューシ ヒャンギエオンードン 50
(22) 出願日	平成5年(1993)11月12日	(72) 発明者	ズン・ソク・リ 大韓民国・ソウルーシ・ソンプクーグ・ザ ンイ2ートン 238-82
(31) 優先権主張番号	2 1 2 3 3 / 1 9 9 2	(74) 代理人	弁理士 山川 政樹
(32) 優先日	1992年11月12日		
(33) 優先権主張国	韓国 (K R)		
(31) 優先権主張番号	2 1 7 6 4 / 1 9 9 2		
(32) 優先日	1992年11月19日		
(33) 優先権主張国	韓国 (K R)		

(54) 【発明の名称】 M L R パターン形成方法

(57) 【要約】

【目的】 正確なパターンが得られる無機質レジストを用いたM L Rパターン形成方法を提供することにある。

【構成】 段差を有する半導体素子の形成された半導体基板上に下層レジスト膜を蒸着するステップと、下層レジスト膜上に中間層を形成するステップと、中間層上に第1無機質レジスト膜と第2無機質レジスト膜とからなる上層レジスト膜を蒸着するステップと、パターンマスクを用いて上層レジスト膜を露光するステップと、上層レジスト膜中、第2無機質レジスト膜の露光部分をエッチングするステップと、残っている第2無機質レジスト膜の露光部分をマスクとして第1無機質レジスト膜をエッチングして上層レジスト膜のパターンを形成するステップと、上層レジスト膜のパターンをマスクとして中間層と下層レジスト膜とを順次エッチングして、M L Rパターンを形成するステップと、残っている上層レジスト膜のパターンを除去するステップと、を含む。

1

2

【特許請求の範囲】

【請求項1】 段差を有する半導体素子の形成された半導体基板上に下層レジスト膜を蒸着するステップと、下層レジスト膜上に中間層を形成するステップと、中間層上に第1無機質レジスト膜と第2無機質レジスト膜とからなる上層レジスト膜を蒸着するステップと、パターンマスクを用いて上層レジスト膜を露光するステップと、上層レジスト膜中、第2無機質レジスト膜の露光部分をエッチングするステップと、残っている第2無機質レジスト膜の非露光部分をマスクとして第1無機質レジスト膜をエッチングして上層レジスト膜のパターンを形成するステップと、上層レジスト膜のパターンをマスクとして中間層と下層レジスト膜とを順次エッチングして、MLRパターンを形成するステップと、残っている上層レジスト膜のパターンを除去するステップと、を含むことを特徴とするMLRパターン形成方法。

【請求項2】 下層レジスト膜を半導体素子の段差の130%以上の厚さで形成することを特徴とする請求項1記載のMLRパターン形成方法。

【請求項3】 下層レジスト膜として、有機質レジスト膜を用いることを特徴とする請求項1記載のMLRパターン形成方法。

【請求項4】 下層レジスト膜として、無機質レジスト膜を用いることを特徴とする請求項2記載のMLRパターン形成方法。

【請求項5】 下層レジスト膜として、 $\text{Ge}_x\text{Se}_{1-x}$ を用いることを特徴とする請求項4記載のMLRパターン形成方法。

【請求項6】 上層レジスト膜として、 $\text{Ag}_2\text{Se}/\text{Ge}_x\text{Se}_{1-x}$ を用いることを特徴とする請求項1記載のMLRパターン形成方法。

【請求項7】 上層レジスト膜として、 $\text{Ag}_2\text{Se}/\text{As}_2\text{S}_3$ や Ag_2Se_3 $\text{Ag}_2\text{Te}/\text{As-Te}$ のいずれかを用いることを特徴とする請求項1記載のMLRパターン形成方法。

【請求項8】 第1無機質の上層レジスト膜は、高周波スパッタ(RF Sputter)で2000~3000Å厚さで形成することを特徴とする請求項1記載のMLRパターン形成方法。

【請求項9】 第2無機質の上層レジスト膜は、高周波スパッタで500Å以下の厚さで形成することを特徴とする請求項1記載のMLRパターン形成方法。

【請求項10】 上層レジスト膜が、ポジティブであることを特徴とする請求項1記載のMLRパターン形成方法。

【請求項11】 第2無機質の上層レジスト膜の露光部分を、アルカリ溶液でエッチングすることを特徴とする請求項10記載のMLRパターン形成方法。

【請求項12】 上層レジスト膜のパターンの中、第2無機質の上層レジスト膜は、 $\text{HNO}_3\text{-HCl-H}_2\text{O}$ 化合物溶液で除去することを特徴とする請求項1記載のMLRパターン形成方法。

【請求項13】 上層レジスト膜のパターンの中、第1無機質の上層レジスト膜を、アルカリ溶液で除去することを特徴とする請求項1記載のMLRパターン形成方法。

【請求項14】 上層レジスト膜のパターンの中、第1無機質の上層レジスト膜を、 CF_4 、 CHF_3 、 SF_6 のようなガスのいずれかを用いて除去することを特徴とする請求項1記載のMLRパターン形成方法。

【請求項15】 段差を有する半導体素子の形成された半導体基板上に下層レジスト膜を蒸着するステップと、下層レジスト膜上に中間層を形成するステップと、中間層上に第1無機質レジスト膜と第2無機質レジスト膜とからなる上層レジスト膜を蒸着するステップと、パターンマスクを用いて上層レジスト膜を露光するステップと、

上層レジスト膜中、第2無機質レジスト膜の非露光部分をエッチングするステップと、残っている第2無機質レジスト膜の露光部分をマスクとして第1無機質レジスト膜をエッチングして上層レジスト膜のパターンを形成するステップと、上層レジスト膜のパターンをマスクとして中間層と下層レジスト膜とを順次エッチングして、MLRパターンを形成するステップと、残っている上層レジスト膜のパターンを除去するステップと、を含むことを特徴とするMLRパターン形成方法。

【請求項16】 上層フォトリソレジスト膜が、ネガティブであることを特徴とする請求項15記載のMLRパターン形成方法。

【請求項17】 第2無機質レジスト膜の非露光部分を、 $\text{HNO}_3\text{-HCl-H}_2\text{O}$ 化合物溶液でエッチングすることを特徴とする請求項15記載のMLRパターン形成方法。

【請求項18】 残っている上層レジスト膜のパターンをアルカリ溶液で除去することを特徴とする請求項15記載のMLRパターン形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体素子の製造工程中の多重レベルレジスト工程(MLR)に関し、特に無機質を用いたMLR工程のパターン形成方法に関する。

【0002】

【従来の技術】図1~図4は従来の段差のない場合の有機質レジストを用いたMLRパターンの形成工程図である。図1に示すように、半導体基板11上に順次下層レジスト膜13、中間層15及びポジティブ上層レジスト膜17を塗布する。下層レジスト膜13および上層レ

3

スト膜17は有機質レジスト膜であり、中間層15は絶縁膜としてSOG膜(Spin On Glass)またはPE酸化膜のいずれかを用いる。

【0003】図2に示すように、パターンマスク19を用いて上層レジスト膜17を光源21に露光させる。ポジティブ上層レジスト膜17は露光された部分が現像時に除去されるので、図3に示すように、上層レジスト膜17のパターンを形成する。図4に示すように、上層レジスト膜17のパターンをマスクとして、中間層15および下層レジスト膜19をエッチングして、MLRパターン23を形成する。後工程でMLRパターン23は、下部層として用いられるポリシリコン膜、金属膜、または酸化膜等をエッチング時のマスクとして作用する。従来の有機質レジストを用いたMLRパターンを形成する方法は、有機質の上層レジスト膜17のエッチング時、 Cl^- 基の反応によりMLRパターン23の側壁にポリマー25が形成される。したがってパターンの密集度によってMLRパターン23が不規則な線幅バイアスを有することとなり、マイクロローディング効果(micro-loading effect)が生じ臨界面積(critical dimension)を調節し難い問題点があった。

【0004】図5〜図9は従来の段差のある場合の有機質レジストを用いたMLRパターンの形成工程図である。図5を参照すれば、シリコン基板31上に3次元のキャパシタセル等のような表面の平坦な部分(P)および溝部分(R)を有する半導体素子33を通常の半導体製造工程により、形成すると段差が発生することとなる。この段差を除去するためにMLR平坦化工程を施す。すなわち、基板全面に有機質の下層レジスト膜35を肉厚に蒸着し、下層レジスト膜35上にSOG膜やPE酸化膜のような絶縁膜を中間層37として形成し、その上に有機質の上層レジスト膜39を蒸着する。この時、上層レジスト膜39はポジティブである。MLR平坦化工程を行ったにしても半導体素子の段差によって全ての表面が平坦化されない。

【0005】図6を参照すれば、MLR平坦化工程を行った後、パターンマスク41を用いてコンタクトホールを定める。コンタクトホールを定めるために光源43に露光させる際、表面の段差によって半導体素子33の平面部分(P)と溝部分(R)とで光源43に露光される上層レジスト膜39の表面積が異なることとなる。図7を参照すれば、図1〜図4と同様に、MLRパターン形成工程を行ってMLRパターン45を形成する。

【0006】

【発明が解決しようとする課題】しかしながら、段差のある場合、図6に示すように、平面部分(P)と溝部分(R)とで露光される上層レジスト膜39の表面積が異なることとなるので、所望する幅を有するMLRパターン45を得ることができない。したがって、図9に示すように、このMLRパターン45を用いてMLRパターン

4

45の下部層である半導体素子33をエッチングしてコンタクトホール47を形成したとしても所望する大きさのコンタクトホール47を得ることができないようになる。すなわち、図8はコンタクトホール47の平面図で、図に示すように平面部分(P)と溝部分(R)のコンタクトホール47の大きさが違う。したがって、有機質レジストを用いた従来のMLRパターン形成方法は半導体素子の段差が約 $1.5\mu\text{m}$ 以上である場合には、平坦化工程の後においても、その程度によって表面が平坦とならず、図6に示すように、下部層である半導体素子の段差が上部層のMLR膜まで保持されるので所望するMLRパターンを正確に形成することができない。

【0007】また、コンタクトホールマスク41を用いてコンタクトホール49を形成したとしてもコンタクトホールの大きさが所望のように形成されない。また、段差のある場合にも、同様に有機質レジストを用いるので、図1〜図4の説明のように、MLRパターンの側面にポリマーが形成されてコンタクトホールの形状の自体も変形されることとなる。本発明の目的は、正確なパターンが得られる無機質レジストを用いたMLRパターン形成方法を提供することにある。

【0008】

【課題を解決するための手段】上記の目的を達成するために、本発明によれば、段差を有する半導体素子の形成された半導体基板上に下層レジスト膜を蒸着するステップと、下層レジスト膜上に中間層を形成するステップと、中間層上に第1無機質レジスト膜と第2無機質レジスト膜とからなる上層レジスト膜を蒸着するステップと、パターンマスクを用いて上層レジスト膜を露光するステップと、上層レジスト膜中、第2無機質レジスト膜の露光部分をエッチングするステップと、残っている第2無機質レジスト膜の露光部分をマスクとして第1無機質レジスト膜をエッチングして上層レジスト膜のパターンを形成するステップと、上層レジスト膜のパターンをマスクとして中間層と下層レジスト膜とを順次エッチングして、MLRパターンを形成するステップと、残っている上層レジスト膜のパターンを除去するステップと、を含むMLRパターン形成方法を提供する。

【0009】

【実施例】図10〜図16は、本発明の実施例による無機質レジストを用いたMLRパターンの形成工程図である。図10を参照すれば、半導体基板61上に3次元のキャパシタセルのような段差を有する半導体素子63が形成されている。半導体素子63はその表面が溝部分(R)と平坦部分(P)とからなっている。図11を参照すれば、半導体素子63が形成された半導体基板61上に、下層レジスト膜65を半導体素子63の段差の130%以上の厚さに蒸着して1次平坦化させる。下層レジスト膜65は、 $\text{Ge}_3\text{Si}_{97}$ 膜のような無機質レジスト膜または有機質レジスト膜を用いることができる。

5

【0010】下層レジスト膜65上にPE酸化膜またはSOG膜のような絶縁膜を中間層67として形成し、その上にポジティブ上層レジスト膜69を形成して2次平坦化させる。したがって、その表面は完全に平坦化された状態となる。

【0011】上層レジスト膜69は、 $\text{Ge}_x\text{Se}_{1-x}$ 膜のような第1無機質の上層レジスト膜70と、 Ag_2Se のような第2無機質の上層レジスト膜71との2層構造を有し、上層レジスト膜69として $\text{Ag}_2\text{Se}/\text{Ge}_x\text{Se}_{1-x}$ の無機質レジスト膜の以外にも、 $\text{Ag}_2\text{S}/\text{As}_2\text{S}_3$ や As_2Se_3 または $\text{Ag}_2\text{Te}/\text{As-Te}$ 等を用いることができる。第1無機質の上層レジスト膜70は高周波スパッタ(RF Sputter)で2000~3000Å厚さで蒸着し、第2無機質の上層レジスト膜71は高周波スパッタで500Å以下の厚さで蒸着形成する。

【0012】平坦化工程を行った後、図12のようにパターンマスク73を用いて光源75に露光すれば、上層レジスト膜69の光源に露出された部分76はフォトリソ(photo doping)が起こる。第2無機質の上層レジスト膜71の露光された部分76をアルカリ溶液で図13のようにエッチングし、非露光部分の第2無機質の上層レジスト膜71をマスクとして第1無機質の上層レジスト膜70の露光された部分をエッチングして図14のような上層レジスト膜69のパターンを得る。図12において、図番(符号)76'は平面図で示した上層レジスト膜69の露光された部分を示す。上層レジスト膜69は、その表面が完全に平坦化されているのでパターンマスク73を用いて光源75への露出の時、露出された部分76が同じ面積を有することとなる。

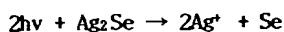
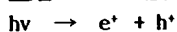
【0013】図15のように、上層レジスト膜69のパターンのマスクとして中間層67と下層レジスト膜65をエッチングしてMLRパターン77を得る。非露光部分の上層レジスト膜69を全て除去する。上層レジスト膜69中、第2無機質の上層レジスト膜71の非露光部分は、 $\text{HNO}_3\text{-HCl-H}_2\text{O}$ 化合物溶液で除去し、第1無機質の上層レジスト膜70の非露光部分は、 CF_4 、 CHF_3 、 SF_6 のようなガスまたはアルカリ溶液で除去する。

【0014】一方、ネガティブ上層レジスト膜を用いてMLRパターンを形成する場合、第2無機質の上層レジスト膜71の非露光部分を $\text{HNO}_3\text{-HCl-H}_2\text{O}$ 化合物溶液でエッチングし、露光部分の第2無機質の上層レジスト膜71をマスクとして第1無機質の上層レジスト膜70の非露光部分をエッチングして上層レジスト膜69のパターンを形成する。この上層レジスト膜69のパターンをマスクとして中間層67と下層レジスト膜65をエッチングしてMLRパターン77を形成する。MLRパターン77の形成の後、残っている上層レジスト膜69、すなわち第2無機質の上層レジスト膜71と第1無機質の上層レジスト膜70の露光部分76をアルカリ溶液または CF_4 、 CHF_3 、 SF_6 のようなガスを用いて除去する。

6

【0015】図17は前記から得られたMLRマスク77を用いてコンタクトホール79を形成する工程図である。MLRマスク77を用いて下部層である半導体素子63をエッチングすれば、コンタクトホール79が形成される。図16はコンタクトホール79を平面的に示したもので、本発明では所望するMLRマスク77を得ることができるので半導体素子63の溝部分(R)または平面部分(P)において全て所望の大きさのコンタクトホール79を得ることができることが分かる。

【0016】図18、19は露光の際、上層レジスト膜69から発生するフォトリソ現象を説明するための図面である。図18のように、パターンマスク73を用いて上層レジスト膜69を光源75に露光させると、上層レジスト膜76の光源75に露光された部分76はフォトリソが起こる。したがって、上層レジスト膜76の中、第2無機質の上層レジスト膜71である Ag_2Se のAgが第1無機質の上層レジスト膜70である $\text{Ge}_x\text{Se}_{1-x}$ へ移動して、 Ag^+ イオンが $\text{Ge}_x\text{Se}_{1-x}$ の電子中にトラップされる。すなわち、光源75から光が走査された上層レジスト膜69においては、



が生じる。

【0017】

【発明の効果】以上説明したように、本発明によれば、次のような効果が得られる。従来の有機質レジスト膜を用いる方法は、段差が $1.5\mu\text{m}$ 以上発生する場合、表面を完全に平坦化することができないので正確なMLRパターンを得ることができない。本発明では、無機質レジスト膜を用いるので、表面を完全に平坦化して正確なMLRパターンを得ることができる。したがって、後続のMLRパターンを利用したコンタクトホールの形成時にも、所望する大きさのコンタクトホールを得ることができる。また、有機質のMLRエッチング時、ポリマが形成される問題も解決することができるので、臨界面積のバイアスが安定したこととなり、マイクロディング効果を減少させ、これにより解像力を向上することができる。

【図面の簡単な説明】

【図1】従来の段差のない場合の有機質レジストを用いたMLRパターンの形成工程図である。

【図2】従来の段差のない場合の有機質レジストを用いたMLRパターンの形成工程図である。

【図3】従来の段差のない場合の有機質レジストを用いたMLRパターンの形成工程図である。

【図4】従来の段差のない場合の有機質レジストを用いたMLRパターンの形成工程図である。

【図5】従来の段差のある場合の有機質レジストを用いたMLRパターンの形成工程図である。

【図6】従来の段差のある場合の有機質レジストを用い

7

たMLRパターンの形成工程図である。

【図7】従来の段差のある場合の有機質レジストを用いたMLRパターンの形成工程図である。

【図8】図7のMLRパターンを用いたコンタクトホール形成工程図である。

【図9】図7のMLRパターンを用いたコンタクトホールの形成工程図である。

【図10】本発明の実施例による無機質レジストを用いたMLRパターンの形成工程図である。

【図11】本発明の実施例による無機質レジストを用いたMLRパターンの形成工程図である。

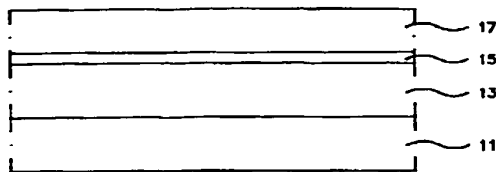
【図12】本発明の実施例による無機質レジストを用いたMLRパターンの形成工程図である。

【図13】本発明の実施例による無機質レジストを用いたMLRパターンの形成工程図である。

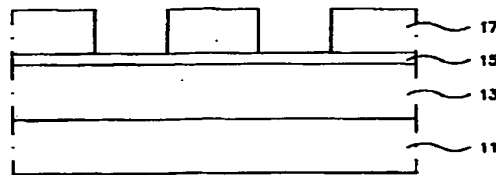
【図14】本発明の実施例による無機質レジストを用いたMLRパターンの形成工程図である。

【図15】本発明の実施例による無機質レジストを用いたMLRパターンの形成工程図である。

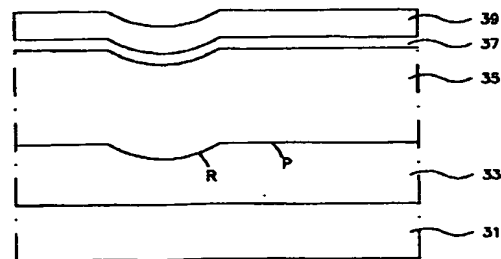
【図1】



【図3】



【図5】



8

【図16】図15のMLRパターンを用いたコンタクトホールの形成工程図である。

【図17】図15のMLRパターンを用いたコンタクトホールの形成工程図である。

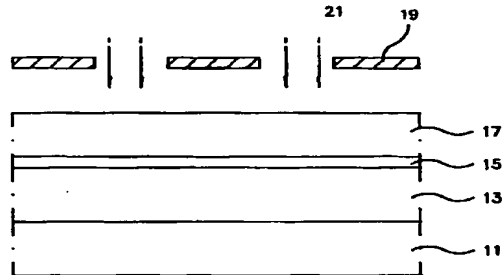
【図18】図10～図17のMLRパターン形成の時、露光原理を説明するための図である。

【図19】図10～図17のMLRパターン形成の時、露光原理を説明するための図である。

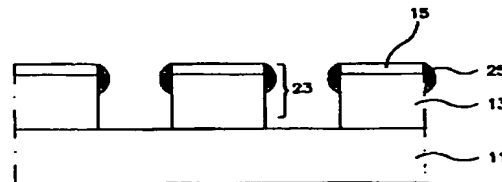
【符号の説明】

- 61 半導体基板
- 63 半導体素子
- 65 下層レジスト膜
- 67 中間層
- 69 上層レジスト膜
- 70 第1無機質上層レジスト膜
- 71 第2無機質上層レジスト膜
- 73, 77 パターンマスク
- 75 光源

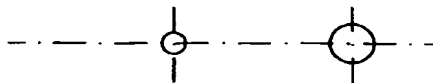
【図2】



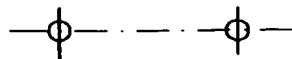
【図4】



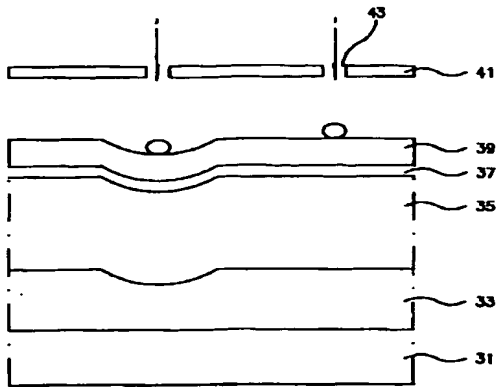
【図8】



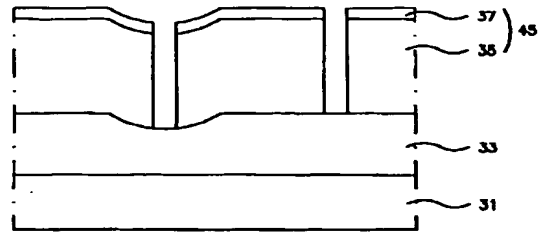
【図16】



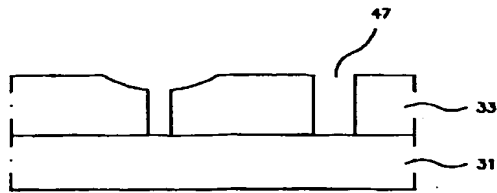
【図6】



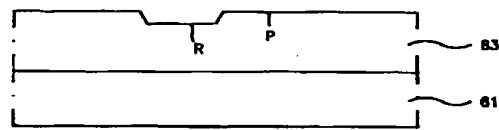
【図7】



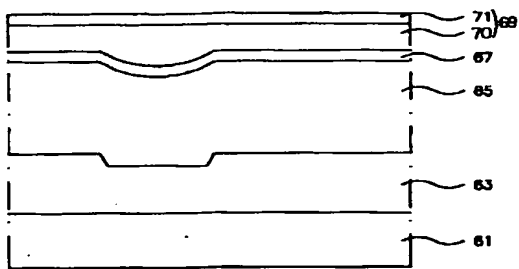
【図9】



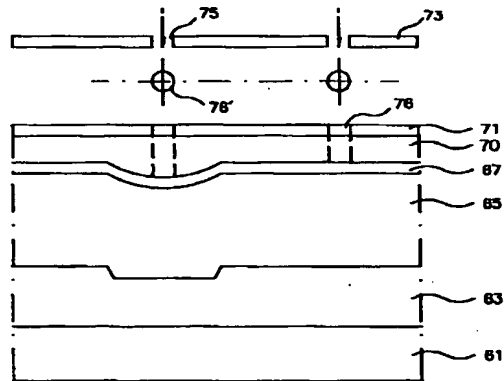
【図10】



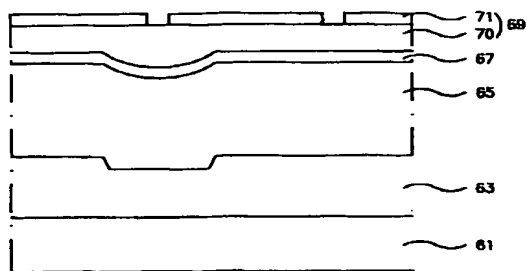
【図11】



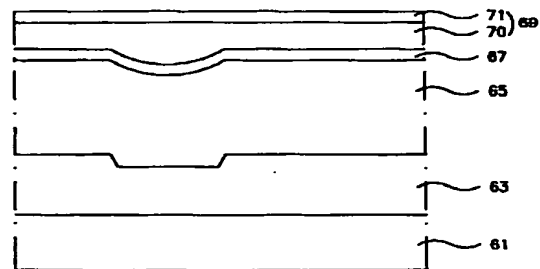
【図12】



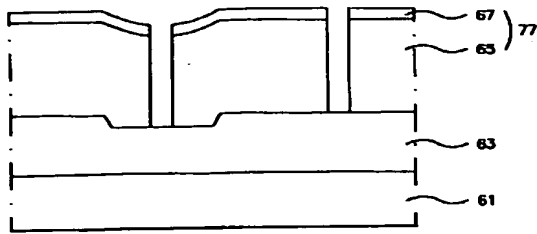
【図13】



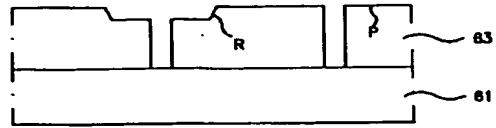
【図14】



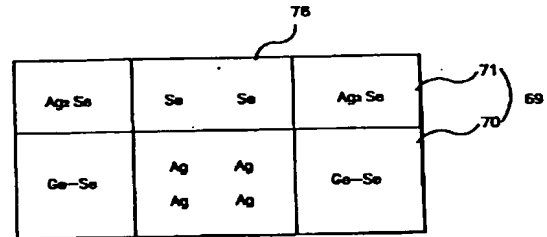
【図15】



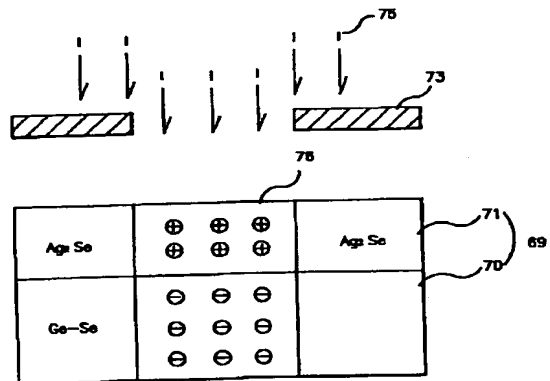
【図17】



【図19】



【図18】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the pattern formation approach of a MLR process using minerals about the multiple level resist process (MLR) in the production process of a semiconductor device.

[0002]

[Description of the Prior Art] Drawing 1 - drawing 4 are the formation process Figs. of the MLR pattern using an organic resist in case there is no conventional level difference. As shown in drawing 1, the lower layer resist film 13, the middle class 15, and the positive upper resist film 17 are applied one by one on the semi-conductor substrate 11. The lower layer resist film 13 and the upper resist film 17 are organic resist film, and an interlayer 15 uses either the SOG film (Spin On Glass) or PE oxide film as an insulator layer.

[0003] The light source 21 is made to expose the upper resist film 17 using the pattern mask 19, as shown in drawing 2. Since the exposed part is removed at the time of development, the positive upper resist film 17 forms the pattern of the upper resist film 17, as shown in drawing 3. As shown in drawing 4, the middle class 15 and the lower layer resist film 19 are etched by using the pattern of the upper resist film 17 as a mask, and the MLR pattern 23 is formed. The MLR pattern 23 acts at a back process considering the polish recon film used as a lower layer, a metal membrane, or an oxide film as a mask at the time of etching. The approach of forming the MLR pattern using the conventional organic resist is Cl at the time of etching of the upper resist film 17 of the quality of organic. - A polymer 25 is formed in the side attachment wall of the MLR pattern 23 of the reaction of a radical. Therefore, there was a trouble of the MLR pattern 23 having had irregular line breadth bias, and a micro loading effect (micro-loading effect) having arisen, and being hard to adjust a critical area (critical dimension) by the tightness of a pattern.

[0004] Drawing 5 - drawing 9 are the formation process Figs. of the MLR pattern using an organic resist in case there is the conventional level difference. If drawing 5 is referred to, when the semiconductor device 33 which has a part for a part with flat front faces, such as a capacitor cell of a three dimension, (P) and a slot (R) on a silicon substrate 31 is formed, a level difference will generate it by the usual semi-conductor production process. In order to remove this level difference, a MLR flattening process is given. That is, the lower layer resist film 35 of the quality of organic is thickly vapor-deposited all over a substrate, an insulator layer like the SOG film or PE oxide film is formed as the middle class 37 on the lower layer resist film 35, and the upper resist film 39 of the quality of organic is vapor-deposited on it. At this time, the upper resist film 39 is positive. Even if it performed the MLR flattening process, flattening of no front faces is carried out by the level difference of a semiconductor device.

[0005] If drawing 6 is referred to, after performing a MLR flattening process, a contact hole will be appointed using the pattern mask 41. In order to appoint a contact hole, in case the light source 43 is made exposed, the surface area of the upper resist film 39 exposed by the light source 43 with a surface level difference by part for the flat-surface part (P) of a semiconductor device 33 and a slot (R) will be

different. If drawing 7 is referred to, like drawing 1 - drawing 4 , a MLR pattern formation process will be performed and the MLR pattern 45 will be formed.

[0006]

[Problem(s) to be Solved by the Invention] However, since the surface area of the upper resist film 39 exposed by part for a flat-surface part (P) and a slot (R) will be different as shown in drawing 6 when there is a level difference, the MLR pattern 45 which has the width of face for which it asks cannot be obtained. Therefore, the contact hole 47 of the magnitude for which it asks even if it etches the semiconductor device 33 which is the lower layer of the MLR pattern 45 using this MLR pattern 45 and forms a contact hole 47, as shown in drawing 9 can be obtained no longer. That is, drawing 8 is the top view of a contact hole 47, and as shown in drawing, the magnitude of the contact hole 47 for a flat-surface part (P) and a slot (R) is different. Therefore, a front face cannot become flat to be alike to that extent after a flattening process, and the conventional MLR pattern formation approach using an organic resist cannot form correctly the MLR pattern for which it asks since the level difference of the semiconductor device which is a lower layer is held even to the MLR film of an up layer as shown in drawing 6 , when the level difference of a semiconductor device is about 1.5 micrometers or more.

[0007] Moreover, even if it forms a contact hole 49 using the contact hole mask 41, the magnitude of a contact hole is not formed like a request. Moreover, since an organic resist is similarly used when there is a level difference, like explanation of drawing 1 - drawing 4 , a polymer will be formed in the side face of a MLR pattern, and the very thing of the configuration of a contact hole will also deform. The purpose of this invention is to offer the MLR pattern formation approach using the minerals resist from which an exact pattern is obtained.

[0008]

[Means for Solving the Problem] The step which vapor-deposits the lower layer resist film on the semiconductor substrate with which the semiconductor device which has a level difference was formed according to this invention in order to attain the above-mentioned purpose, The step which forms the middle class on the lower layer resist film, and the step which vapor-deposits the upper resist film which consists of 1st minerals resist film and 2nd minerals resist film on the middle class, The step which exposes the upper resist film using a pattern mask, and the step which etches the exposure part of the 2nd minerals resist film among the upper resist film, The step which etches the 1st minerals resist film by using the exposure part of the remaining 2nd minerals resist film as a mask, and forms the pattern of the upper resist film, Sequential etching of the middle class and the lower layer resist film is carried out by using the pattern of the upper resist film as a mask, and the MLR pattern formation approach containing the step which forms a MLR pattern, and the step which removes the pattern of the remaining upper resist film is offered.

[0009]

[Example] Drawing 10 - drawing 16 are the formation process Figs. of the MLR pattern using the minerals resist by the example of this invention. If drawing 10 is referred to, the semiconductor device 63 which has a level difference like the capacitor cel of a three dimension is formed on the semiconductor substrate 61. The semiconductor device 63 consists of a part for the surface fang furrow part (R) and a flat part (P). If drawing 11 is referred to, 130% or more of thickness of the level difference of a semiconductor device 63 will be made to vapor-deposit and carry out primary flattening of the lower layer resist film 65 on the semi-conductor substrate 61 with which the semiconductor device 63 was formed. Minerals resist film like 1-GexSex film or the organic resist film can be used for the lower layer resist film 65.

[0010] An insulator layer like PE oxide film or the SOG film is formed as the middle class 67 on the lower layer resist film 65, and secondary flattening of the positive upper resist film 69 is formed and carried out on it. Therefore, the front face will be in the condition that flattening was carried out completely.

[0011] the upper resist film 70 and Ag₂Se of the 1st minerals [like 1-GexSex film] whose upper resist film 69 is two-layer structure with the upper resist film 71 of the 2nd minerals [like] -- having -- as the upper resist film 69 -- Ag₂ Se/GexSe 1-x except [of the minerals resist film] -- Ag₂ S/As₂S₃ As₂Se₃

or -- Ag₂Te/As-Te etc. -- it can use. The upper resist film 70 of the 1st minerals is vapor-deposited by 2000-3000Å thickness by the RF sputter (RF Sputter), and carries out vacuum evaporation formation of the upper resist film 71 of the 2nd minerals by the thickness of 500Å or less by the RF sputter.

[0012] If it exposes to the light source 75 using the pattern mask 73 like drawing 12 after performing a flattening process, as for the part 76 exposed to the light source of the upper resist film 69, photograph doping (photo doping) will take place. The part 76 by which the upper resist film 71 of the 2nd minerals was exposed is etched like drawing 13 with an alkali solution, the part by which the upper resist film 70 of the 1st minerals was exposed by using the upper resist film 71 of the 2nd minerals of a non-exposing part as a mask is etched, and the pattern of upper resist film 69 like drawing 14 is obtained. In drawing 12, drawing-number (sign) 76' shows the part by which the upper resist film 69 shown with the top view was exposed. Since flattening of the front face is carried out completely, the upper resist film 69 will have the area with the exposed same part 76 to the light source 75 using the pattern mask 73 at the time of exposure.

[0013] Like drawing 15, the lower layer resist film 65 is etched with the middle class 67 as a mask of the pattern of the upper resist film 69, and the MLR pattern 77 is obtained. The upper resist film 69 of a non-exposing part is removed altogether. A HNO₃-HCl-H₂O compound solution removes the non-exposing part of the upper resist film 71 of the 2nd minerals among the upper resist film 69, and the non-exposing part of the upper resist film 70 of the 1st minerals is CF₄, and CHF₃ and SF₆. Gas [like] or an alkali solution removes.

[0014] On the other hand, when forming a MLR pattern using the negative upper resist film, the non-exposing part of the upper resist film 71 of the 2nd minerals is etched with a HNO₃-HCl-H₂O compound solution, the non-exposing part of the upper resist film 70 of the 1st minerals is etched by using the upper resist film 71 of the 2nd minerals of an exposure part as a mask, and the pattern of the upper resist film 69 is formed. Besides, the lower layer resist film 65 is etched with the middle class 67 by using the pattern of the layer resist film 69 as a mask, and the MLR pattern 77 is formed. It is an alkali solution or CF₄, and CHF₃ and SF₆ after formation of the MLR pattern 77 about the exposure parts 76 of the remaining upper resist film 69 71, i.e., the upper resist film of the 2nd minerals, and the upper resist film 70 of the 1st minerals. It removes using gas [like].

[0015] Drawing 17 is process drawing which forms a contact hole 79 using the MLR mask 77 obtained from the above. If the semiconductor device 63 which is a lower layer is etched using the MLR mask 77, a contact hole 79 will be formed. Drawing 16 is what showed the contact hole 79 superficially, and in this invention, since the MLR mask 77 for which it asks can be obtained, it turns out that the contact hole 79 of desired magnitude can be altogether obtained in a part for a slot (R) and the flat-surface part (P) of a semiconductor device 63.

[0016] Drawing 18 and 19 are the drawings for explaining the photograph doping phenomenon generated from the upper resist film 69 in the case of exposure. Like drawing 18, if the light source 75 is made to expose the upper resist film 69 using the pattern mask 73, as for the part 76 exposed by the light source 75 of the upper resist film 76, photograph doping will take place. Therefore, Ag₂Se which is the upper resist film 71 of the inside of the upper resist film 76, and the 2nd minerals Ag It moves to GexSe 1-x which is the upper resist film 70 of the 1st minerals, and is Ag⁺. The trap of the ion is carried out into the electron of GexSe 1-x. That is, it sets on the upper resist film 69 with which light was scanned from the light source 75, and is hv. -> e⁺+h⁺+2hv+Ag₂Se -> 2Ag⁺+Se arises.

[0017]

[Effect of the Invention] According to this invention, the following effectiveness is acquired as explained above. When 1.5 micrometers or more of level differences occur, since the approach using the conventional organic resist film cannot carry out flattening of the front face completely, it cannot obtain an exact MLR pattern. In this invention, since the minerals resist film is used, flattening of the front face can be carried out completely, and an exact MLR pattern can be obtained. Therefore, the contact hole of the magnitude for which it asks also at the time of formation of the contact hole using a consecutive MLR pattern can be obtained. Moreover, since the problem in which a polymer is formed is also solvable at the time of MLR etching of the quality of organic, it means that the bias of a critical area was

stabilized, the micro RODINGU effectiveness can be decreased, and, thereby, resolution can be improved.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The step which vapor-deposits the lower layer resist film on the semi-conductor substrate with which the semiconductor device which has a level difference was formed, The step which forms the middle class on the lower layer resist film, and the step which vapor-deposits the upper resist film which consists of 1st minerals resist film and 2nd minerals resist film on the middle class, The step which exposes the upper resist film using a pattern mask, and the step which etches the exposure part of the 2nd minerals resist film among the upper resist film, The step which etches the 1st minerals resist film by using the non-exposing part of the remaining 2nd minerals resist film as a mask, and forms the pattern of the upper resist film, The MLR pattern formation approach which carries out sequential etching of the middle class and the lower layer resist film by using the pattern of the upper resist film as a mask, and is characterized by including the step which forms a MLR pattern, and the step which removes the pattern of the remaining upper resist film.

[Claim 2] The MLR pattern formation approach according to claim 1 characterized by forming the lower layer resist film by 130% or more of thickness of the level difference of a semiconductor device.

[Claim 3] The MLR pattern formation approach according to claim 1 characterized by using the organic resist film as lower layer resist film.

[Claim 4] The MLR pattern formation approach according to claim 2 characterized by using the minerals resist film as lower layer resist film.

[Claim 5] The MLR pattern formation approach according to claim 4 characterized by using GexSe 1-x as lower layer resist film.

[Claim 6] As upper resist film, it is Ag₂Se/GexSe 1-x. The MLR pattern formation approach according to claim 1 characterized by using.

[Claim 7] As upper resist film, it is Ag₂Se/As₂S₃. Ag₂Se₃ Ag₂Te / As-Te The MLR pattern formation approach according to claim 1 characterized by using either.

[Claim 8] The upper resist film of the 1st minerals is the MLR pattern formation approach according to claim 1 characterized by forming by 2000-3000Å thickness by the RF sputter (RF Sputter).

[Claim 9] The upper resist film of the 2nd minerals is the MLR pattern formation approach according to claim 1 characterized by forming by the thickness of 500Å or less by the RF sputter.

[Claim 10] The MLR pattern formation approach according to claim 1 that the upper resist film is characterized by the positive thing.

[Claim 11] The MLR pattern formation approach according to claim 10 characterized by etching the exposure part of the upper resist film of the 2nd minerals with an alkali solution.

[Claim 12] The upper resist film of the inside of the pattern of the upper resist film and the 2nd minerals is the MLR pattern formation approach according to claim 1 characterized by removing with a HNO₃-HCl-H₂O compound solution.

[Claim 13] The MLR pattern formation approach according to claim 1 characterized by removing the upper resist film of the 1st minerals with an alkali solution in the pattern of the upper resist film.

[Claim 14] It is CF₄, and CHF₃ and SF₆ about the upper resist film of the inside of the pattern of the

upper resist film, and the 1st minerals. The MLR pattern formation approach according to claim 1 characterized by removing using either of gas [like].

[Claim 15] The step which vapor-deposits the lower layer resist film on the semi-conductor substrate with which the semiconductor device which has a level difference was formed, The step which forms the middle class on the lower layer resist film, and the step which vapor-deposits the upper resist film which consists of 1st minerals resist film and 2nd minerals resist film on the middle class, The step which exposes the upper resist film using a pattern mask, and the step which etches the non-exposing part of the 2nd minerals resist film among the upper resist film, The step which etches the 1st minerals resist film by using the exposure part of the remaining 2nd minerals resist film as a mask, and forms the pattern of the upper resist film, The MLR pattern formation approach which carries out sequential etching of the middle class and the lower layer resist film by using the pattern of the upper resist film as a mask, and is characterized by including the step which forms a MLR pattern, and the step which removes the pattern of the remaining upper resist film.

[Claim 16] The MLR pattern formation approach according to claim 15 that the upper photoresist film is characterized by the negative thing.

[Claim 17] The MLR pattern formation approach according to claim 15 characterized by etching the non-exposing part of the 2nd minerals resist film with a HNO₃-HCl-H₂O compound solution.

[Claim 18] The MLR pattern formation approach according to claim 15 characterized by removing the pattern of the remaining upper resist film with an alkali solution.

[Translation done.]

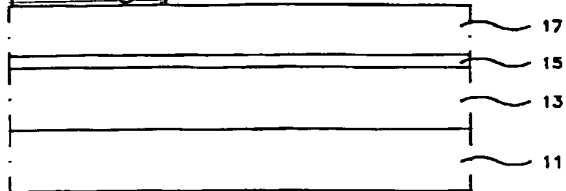
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

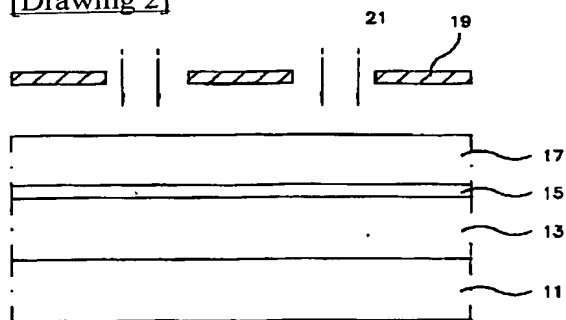
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

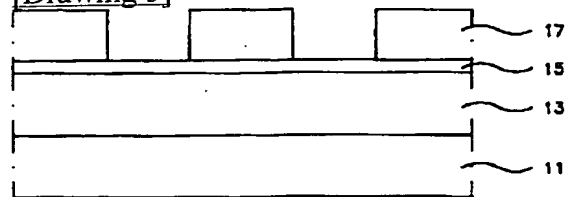
[Drawing 1]



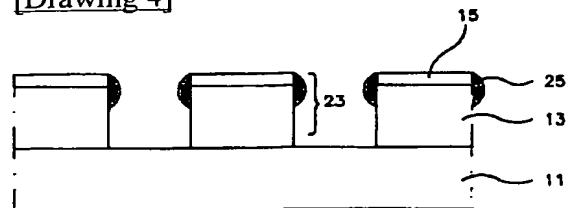
[Drawing 2]



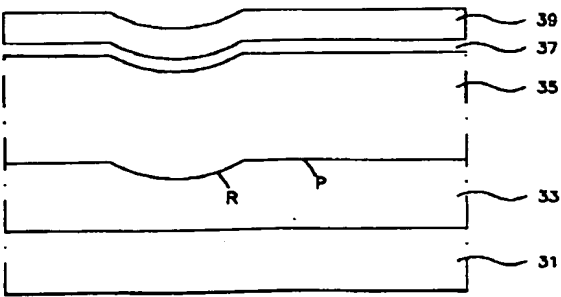
[Drawing 3]



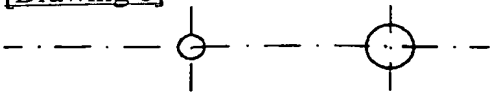
[Drawing 4]



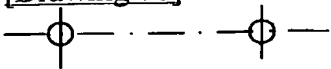
[Drawing 5]



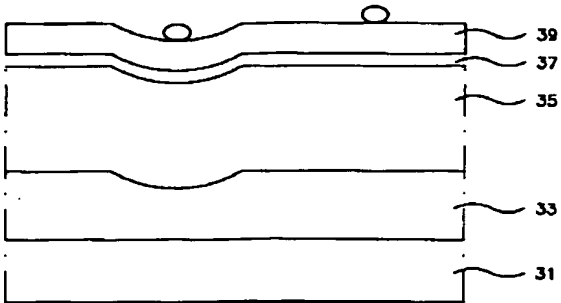
[Drawing 8]



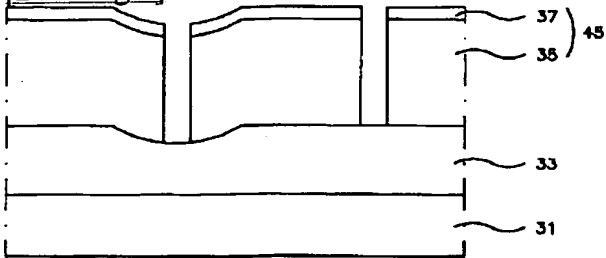
[Drawing 16]



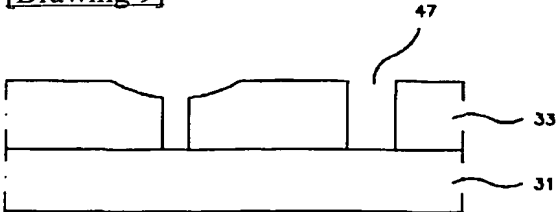
[Drawing 6]



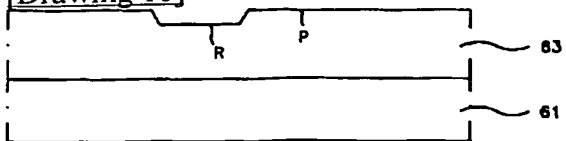
[Drawing 7]



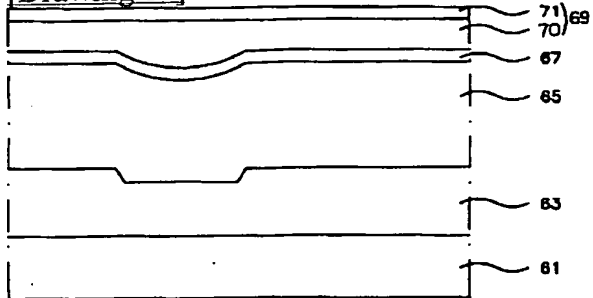
[Drawing 9]



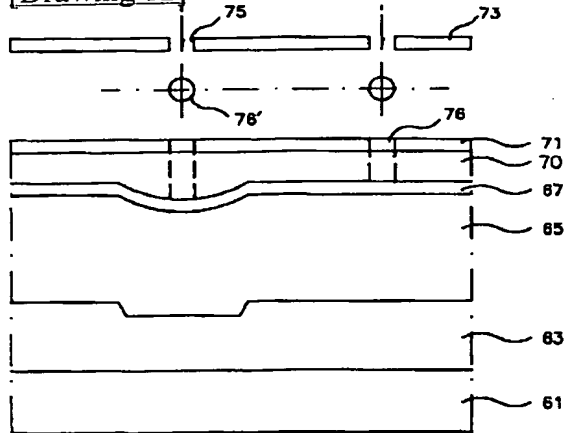
[Drawing 10]



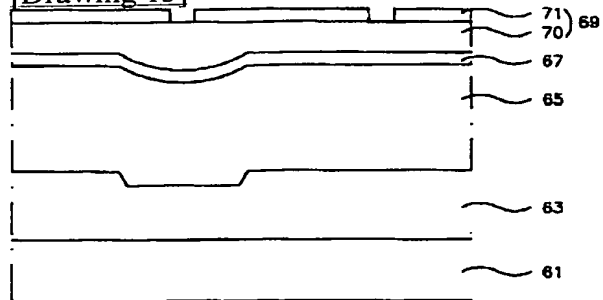
[Drawing 11]



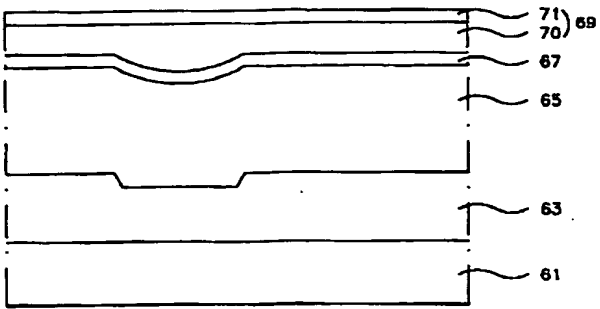
[Drawing 12]



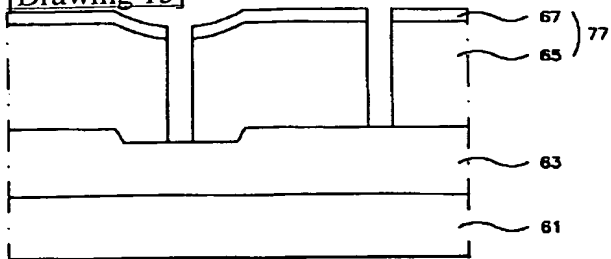
[Drawing 13]



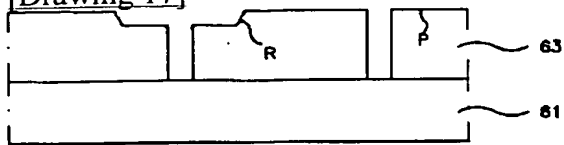
[Drawing 14]



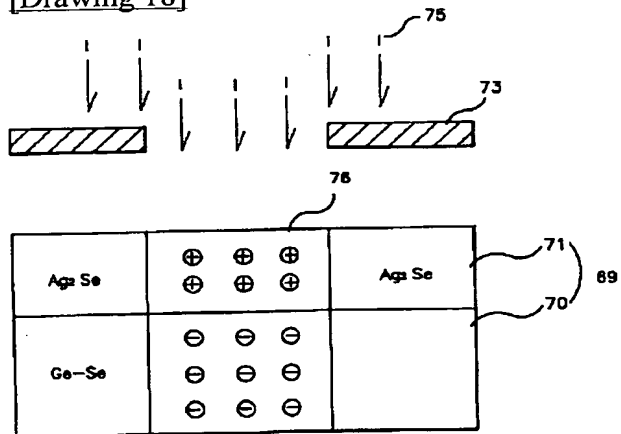
[Drawing 15]



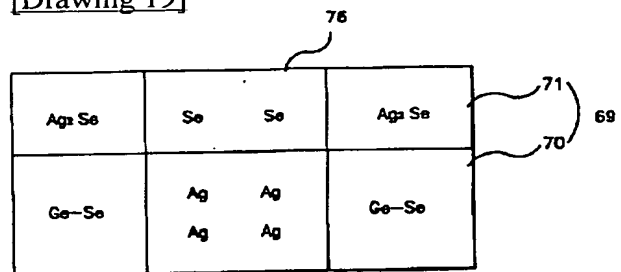
[Drawing 17]



[Drawing 18]



[Drawing 19]



[Translation done.]